

## ⑫ 公開特許公報(A)

平2-113494

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月25日

G 11 C 11/54  
G 06 G 7/607341-5B  
6745-5B  
8526-5F

H 01 L 29/72

※

審査請求 未請求 請求項の数 7 (全10頁)

⑮ 発明の名称 多段階可変コンダクタンス回路、及びそれを用いたニューロチップ、及びその読み出し、書き込み方法、及び半導体装置

⑯ 特 願 昭63-263892

⑰ 出 願 昭63(1988)10月21日

⑱ 発 明 者 田 上 知 紀 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ⑲ 発 明 者 水 田 博 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ⑳ 発 明 者 高 橋 進 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
 ㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ㉒ 代 理 人 弁理士 中村 純之助  
 最終頁に続く

明 細 書

## 1. 発明の名称

多段階可変コンダクタンス回路、及びそれを用いたニューロチップ、及びその読み出し、書き込み方法、及び半導体装置

## 2. 特許請求の範囲

1. 電流・電圧特性に2箇所以上の微分負性抵抗特性を有する多重微分負性抵抗素子と、その負荷素子と、該多重微分負性抵抗素子と負荷素子との直列回路における両者の接続点に接続された可変コンダクタンス素子とを備えたことを特徴とする多段階可変コンダクタンス回路。
2. 上記直列回路の接続点または上記負荷素子に外部入力を与えてコンダクタンスを或る段階から他の段階に切り換えるように構成したことを特徴とする第1請求項に記載の多段階可変コンダクタンス回路。
3. ニューロン内あるいはニューロン間の入出力インターフェースとなるシナプスに相当する手

段を備えたニューロチップにおいて、上記シナプスに相当する手段を第1または第2請求項に記載の多段階可変コンダクタンス回路で構成したことを特徴とするニューロチップ。

4. 第3請求項に記載のニューロチップにおいて、上記シナプスとなる多段階可変コンダクタンス回路の、多重微分負性抵抗素子と負荷素子との直列回路における両者の接続点の電位を外部に取り出すことにより、シナプスの結合状態を読み出すことを特徴とするニューロチップの読み出し方法。

5. 第3請求項に記載のニューロチップにおいて、上記シナプスとなる多段階可変コンダクタンス回路の、多重微分負性抵抗素子と負荷素子との直列回路における両者の接続点または負荷素子に、外部からパルス状の電圧信号を与え、上記多段階可変コンダクタンス回路の動作点を切り換えることにより、シナプスの結合状態を切り換えることを特徴とするニューロチップの書き込み方法。

6. 電界効果トランジスタ、バイポーラトランジスタ、ホトダイオード、発光ダイオードおよびレーザのうちの少なくとも一つと、電流・電圧特性に複数の微分負性抵抗を有する素子とを同一基板上に集積化したことを特徴とする半導体装置。

7. 上記複数の微分負性抵抗を有する素子が、少なくとも三層のポテンシャル障壁層を有する共鳴トンネル構造で形成されたものであることを特徴とする第6請求項に記載の半導体装置。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は神経回路モデルを構築するに好適な多段階可変コンダクタンス回路、及びそれを用いたニューロチップと呼ばれる集積回路、及びその読み出し、書き込み方法、及び上記回路を実現する半導体装置に関する。

#### (従来の技術)

従来の神経回路モデルによる演算素子、すなわちニューロチップとその回路については、例えば、

結合定数を変化させるために多数の素子を必要とするなど、信頼性および集積化の容易さの点に問題があった。

本発明の目的は、上記のごとき従来技術の問題を解決し、信頼性が高く、かつ集積化の容易な多段階可変コンダクタンス回路を提供し、また、それを用いたニューロチップを提供することにある。

#### (課題を解決するための手段)

上記目的を達成するため、第1請求項に記載の発明においては、電流・電圧特性に2箇所以上の微分負性抵抗特性を有する多重微分負性抵抗素子と、その負荷素子と、該多重微分負性抵抗素子と負荷素子との直列回路における両者の接続点に接続された可変コンダクタンス素子とによって多段階可変コンダクタンス回路を構成している。

すなわち、この発明においては、多重微分負性抵抗素子によって多値安定回路を構成し、その出力によって可変コンダクタンス素子のコンダクタンスを段階的に制御するように構成したものである。

“日経マイクロデバイス”1988年7月号 第53頁から第65頁において論じられている。

上記のごときニューロチップにおいて、その重要な構成要素となるシナプスは、例えば、可変コンダクタンス回路で構成される。

従来、可変コンダクタンス回路を実現する方法としては、例えば、第5図(a)に示すように、MOSFETのゲート7に蓄積する電荷量を変える方法と、同図(b)に示すように、FETを多数並列に接続して導通状態にあるFETの数を変える方法とがあった。

ところが、上記(a)の方法では、蓄積電荷の量が電流リークの存在によって時間的に変化してしまうので、精度、再現性及び信頼性の面で問題があり、また、(b)の方法では、並列接続する素子数が多くなり、その結果集積化を図る際に密度が上げられないという問題があった。

#### (発明が解決しようとする課題)

上記のように従来技術においては、リーク電流によって結合定数に変化してしまうか、或いは、

なお、上記多重微分負性抵抗素子は、例えば、後記第1～3図の実施例における多重微分負性抵抗素子1に相当し、負荷素子は、同じく負荷抵抗3またはFET4、5に相当し、可変コンダクタンス素子は、同じくFET2に相当する。

また、第2請求項に記載の発明においては、前記第1請求項に記載の多段階可変コンダクタンス回路において、上記直列回路の接続点または上記負荷素子に外部入力を与えて、コンダクタンスを或る段階から他の段階に切り換えるように構成したものである。上記の外部入力を与える接続点は、例えば、後記第1～3図の実施例における制御電圧入力端子7に相当する。

また、第3請求項に記載の発明においては、ニューロチップにおけるシナプスに相当する手段を前記第1または第2請求項に記載の多段階可変コンダクタンス回路で構成したものである。このシナプスを用いたニューロチップは、例えば、後記第11図の実施例に相当する。

また、第4請求項に記載の発明は、上記のごと

きシナプスを用いたニューロチップにおける読み出し方法の発明であり、上記シナプスとなる多段階可変コンダクタンス回路の、多重微分負性抵抗素子と負荷素子との直列回路における両者の接続点（すなわち可変コンダクタンス素子の入力点）の電位を外部に取り出すことにより、シナプスの結合状態を読み出すように構成したものである。この方法は、例えば、後記第12図の実施例で説明する方法に相当する。

また、第5請求項に記載の発明は、上記のごときシナプスを用いたニューロチップにおける書き込み方法の発明であり、上記シナプスとなる多段階可変コンダクタンス回路の、多重微分負性抵抗素子と負荷素子との直列回路における両者の接続点または負荷素子に、外部からパルス状の電圧信号を与え、上記多段階可変コンダクタンス回路の動作点を切り換えることにより、シナプスの結合状態を切り換えるように構成したものである。この方法は、例えば、後記第3図の回路と第4図の特性図で説明する方法に相当する。

タンスの取り得る状態をいくつかの不連続な値に限定する。それによって出力の再現性、設定精度が高まる。また、それによって出力の状態を正確に読み出すことも可能になる。また、素子数が少ないので集積化も容易になる。

#### 〔実施例〕

以下、本発明の実施例を図を用いて説明する。

#### （実施例1）

第1図は本発明の第1の実施例の回路図である。

第1図において、1は多重微分負性抵抗素子、2はFET、3は負荷抵抗、6は電源端子、7は制御電圧入力端子である。

上記の多重微分負性抵抗素子1は、第4図(a)の曲線100で示されるような電流電圧特性を有する。なお、第4図(a)の曲線100の特性は二重負性抵抗特性であるが、三重あるいはそれ以上の負性抵抗特性を有する素子においても本質的な回路動作は二重負性抵抗の場合と大きく異なることはない。以下では二重負性抵抗特性、すなわち第4図(a)の曲線100を用いて動作を説明

また、第6請求項に記載の発明は、前記のごとき多段階可変コンダクタンス回路を構成した半導体装置であり、電界効果トランジスタ、バイポーラトランジスタ、ホトダイオード、発光ダイオードおよびレーザのうちの少なくとも一つと、電流・電圧特性に複数の微分負性抵抗を有する素子とを同一基板上に集積化したものである。この半導体装置は、例えば、後記第7～10図の実施例に相当する。

また、第7請求項に記載の発明は、上記第6請求項に記載の半導体装置の具体的な構成を示す発明であり、上記複数の微分負性抵抗を有する素子を、少なくとも三層のポテンシャル障壁層を有する共鳴トンネル構造で形成するように構成したものである。この発明は、例えば、後記第7～9図の実施例に相当する

#### 〔作用〕

多重微分負性抵抗素子で構成した回路、すなわち多値安定回路は、2つの素子を用いて、出力の状態すなわち可変コンダクタンス素子のコンダク

する。また、第4図(a)の曲線100に示す様な特性は、通常の負性抵抗素子を直列接続することによって実現することが出来る。

第1図の回路において、電源電圧を $V_0$ 、多重微分負性抵抗素子1（以下、素子1と略記する）にかかる電圧を $V$ とすると、負荷抵抗3にかかる電圧は $V_0 - V$ となる。そしてFET2のゲートに流れる電流は無視できるので、素子1と負荷抵抗3に流れる電流は等しく、これを $I$ とする。また、負荷抵抗3の抵抗値 $R$ と電流 $I$ の積が負荷抵抗における電圧降下であるので、

$$V_0 - V = R \cdot I \quad (1)$$

となる。これを書き替えて

$$V = V_0 - R \cdot I \quad (1)'$$

となる。

上記(1)'の特性を第4図(a)に示したのが直線101である。

上記から明らかな様に、直線101と曲線100の交点がこの回路の動作点であるが、そのうち安定であるのは110、111、112の3点である。すなわち、

FET 2 のゲート電位は110、111、112の電位のいずれかになる。それらの電位の切り換えは、制御電圧入力端子7を適当な抵抗を介して接地することによって可能である。

ここで、第1図のFET 2で表わされるFETを入力コンダクタンスとして有する演算増幅回路を考えると第6図に示す様になる。なお、第1図の回路の代わりに後記第2、3図の回路も同様に適用可能である。

第6図において、入力コンダクタンス回路9が第1図の回路に相当し、第1図のFET 2が図示のごとく入力コンダクタンスとして接続される。この回路では、演算増幅器10の入力端子は仮想接地電位であるから、入力コンダクタンスを構成するFET 2のソース・ゲート間電圧は、素子1にかかる電圧Vと等しくなる。従って、前記のごとく電圧Vが多段階に変わることによってFET 2のコンダクタンスも多段階に変わる。そして第6図に示した演算増幅回路では、入力コンダクタンスの値と帰還抵抗11の抵抗値との積が増幅率にな

るので、この演算増幅回路の増幅率を変えることが可能になる。

従来のコンダクタンスを変える方法としては、前記従来例の説明の欄に記載したように、第5図(a)、(b)に示すような方法があるが、(a)においては蓄積電荷の量が電流リークの存在によって時間的に変化してしまうので、精度、再現性及び信頼性の面で問題があり、また(b)のような素子の並列接続においては、素子数が多くなり、その結果集積化を図る際に密度が上げられないという問題があった。これに対して、本発明によれば、少ない素子数で、高精度に再現性良く且つ信頼性高く多段階にコンダクタンスを変えることが可能となる。

#### (実施例2)

第2図は、本発明の第2の実施例の回路図である。

この実施例は、前記第1図の負荷抵抗3をノーマリオン型の負荷FET 4で置き替えた回路になっている。

負荷が抵抗である場合とFETである場合とでは、電流・電圧特性に差があり、その結果、実施例1における負荷線、すなわち第4図(a)の直線101に対応するのは、本実施例では第4図(a)の曲線104となる。その結果、動作点は122、124、126となる。

本実施例は、前記実施例1の場合に比べて抵抗素子を必要とせず、FETと負性抵抗素子の二種類の素子のみで構成することが出来るので、集積化の際に有利となる。

#### (実施例3)

第3図は、本発明の第3の実施例の回路図である。

この実施例において第2図と異なる点は、制御電圧入力端子7が負荷FET 5のゲート端子となっている点である。そのために、負荷曲線はゲート電圧、すなわち第3図の制御電圧入力端子7の電位によって変化し、第4図(a)の曲線102~106のようになる。例えば、負荷曲線が106である場合には、動作点は120である。次に制御電圧入

力端子7の電位を変化させて負荷曲線を105、104へと変化させると、動作点は121、122へと変化し、更に負荷曲線が103となったときには動作点の飛びが生じて動作点は125となる。ここで制御電圧を変えて負荷曲線を104に戻すと動作点は124になる。

上記の動作を、縦軸を動作点電圧、横軸を制御電圧にとって図示したのが第4図(b)である。図中には第4図(a)に示した動作点の電圧も示してある。また、図中の矢印は動作点の飛びの生じる方向である。例えば、動作点122、124、126は同じ負荷曲線上の点であるが、それら相互の間の切り換えは、制御端子電圧を短時間パルス状に変化させ、その後元に戻すことによって可能であることは(b)図から容易に理解できよう。すなわち、この場合には外部からのパルス状の電圧信号によって動作点を切り換えることが可能であり、外部回路を簡素化できる利点がある。

なお、上記実施例1、2、3において、FETを用いた部分はバイポーラトランジスタを用いて

も同様の動作をさせることができる。

#### (実施例4)

第7図は、本発明の第4の実施例図であり、前記のごとき多段階可変コンダクタンス回路の多重微分負性抵抗素子と負荷素子との部分を実現した半導体装置の断面構造図を示す。

第7図において、半絶縁性GaAs基板201上に、n型GaAsチャネル層202 ( $n: 2 \times 10^{17}/\text{cm}^3$ 、厚さ2000Å)と、多重負性抵抗ダイオード203(多重微分負性抵抗素子)と、オーミック電極204、205、207と、ショットキーゲート電極206とが形成されている。

上記のオーミック電極204、205および207にはAuGe合金を用い、ショットキーゲート電極206にはAlを用いているが、これらは各々オーミック接触、ショットキー接触を得られる材料であれば他の材料を用いることも可能である。

また、多重負性抵抗ダイオード203は、厚さ20ÅのAlAs層、厚さ50ÅのGaAs層および厚さ20ÅのAlAs層からなる量子井戸層(二重障壁

を容易に多数集積化することが出来る。

なお、ここで用いたチャネル層の厚み、キャリア濃度、あるいは量子井戸層の膜厚等の数値は絶対的なものでなく、また材料もGaAsには限られるものではなく、InGaAs、AlGaAs等を用いてもよい。要するに、FET構造上に多重障壁ダイオードを集積化してあることが本実施例の要点である。また、電極配置も必ずしも第7図の通りである必要は無く、例えば、出力電極204の位置は、ゲート電極206と多重負性抵抗ダイオード203との間のチャネル層202上、あるいはダイオードの側壁に設けてもよい。

#### (実施例5)

第8図は、本発明の第5の実施例図であり、前記のごとき多段階可変コンダクタンス回路の多重微分負性抵抗素子と負荷素子との部分を実現した半導体装置の断面構造図を示す。

第8図において、半絶縁性GaAs基板201上に、n型GaAs層211、多重負性抵抗ダイオード層203、n型GaAsコレクタ層210 ( $n: 5 \times 10^{18}/\text{cm}^3$ 、

構造、すべてアンドープ)と、厚さ500Åのn型GaAs ( $n: 1 \times 10^{18}/\text{cm}^3$ )とを交互に二回ずつ積層し、その上下を厚さ2000Åのn型GaAs ( $n: 1 \times 10^{18}/\text{cm}^3$ )で挟んだ構造となっている。なお、この実施例では二重負性抵抗特性を実現するために二層の量子井戸層を用いたが、三重、四重あるいはそれ以上の負性抵抗特性を実現するには量子井戸層の積層回数をそれに対応して増加させればよい。

上記第7図の構造の等価回路は第10図(a)に示すようになる。

第7図と第10図の対応関係を示すと、203は306に、204は303に、205は304に、206は302に、207は301に各々対応している。

上記のごとき第10図(a)に示した回路の端子303を別のFETのゲートに接続すれば、前記第3図に示した回路を構成することが出来る。すなわち、本実施例によれば前記第3図の実施例3に示した回路を容易に同一基板上に形成することが出来、実施例3に示した可変コンダクタンス回路

厚さ4000Å)、p型GaAsベース層209 ( $p: 1 \times 10^{18}/\text{cm}^3$ 、厚さ1000Å)、n型Al<sub>0.3</sub>Ga<sub>0.7</sub>Asエミッタ層208 ( $n: 1 \times 10^{17}/\text{cm}^3$ 、厚さ2000Å)が形成され、それらの上にオーミック電極212、213、214、215が形成されている。

上記の電極213はAuZn合金を用い、他の電極はAuGeを用いて、各々p型、n型の層に対してオーミック接触を得ている。

本実施例の等価回路は第10図(b)に示すようになる。すなわち、この実施例においては、208、209、210の各層をエミッタ・ベース・コレクタとするバイポーラトランジスタ307が負荷素子となり、それと多重負性抵抗ダイオード306との直列接続となっている。

この実施例においては、バイポーラトランジスタ307のベースに適当なバイアスを加えることにより、前記実施例4と同様の効果を得ることが出来る。

なお、この実施例では、GaAs/AlGaAsヘテロ接合バイポーラトランジスタを用いたが、こ

れは、ホモ接合トランジスタでもよく、また他の材料、例えば、 $\text{InGaP}/\text{GaAs}$ 、 $\text{InAlAs}/\text{InGaAs}$ 等のヘテロ接合、あるいは、これらのホモ接合を用いても同様の効果が得られるのは勿論である。

(実施例6)

第9図は、本発明の第6の実施例図であり、前記第8図におけるエミッタ208およびベース209の部分のみを示した部分断面図である。

この実施例においては、エミッタ電極212の部分を、図示のように窓を開けた構造とし、外部の光がエミッタ表面に入射できる様にする事により、バイポーラトランジスタをホトトランジスタとして作用するようにしたものである。

本実施例の等価回路が第10図(c)である。

本実施例においては、コンダクタンスの切り換えに際して、外部からの電圧あるいは電流パルスを用いる代わりに、光パルスを用いることが可能となる。

なお、本実施例におけるエミッタ電極212は、

ET2の両端子に対応する。

また入力線はシナプスを介して各増幅器AP、あるいは軸素 $S_i$ 、 $\overline{S_i}$ 等に接続される。また、各増幅器APの入力には、各種入力及び軸素からの信号がシナプスを通じて重み付けされて入力される。そしてその増幅器の出力信号は再び軸素に出力される。すなわち、入力信号は増幅器—軸素—シナプス—増幅器という帰還回路を有しており、その帰還の作用によって各軸素の電位は入力信号とシナプスの結合強度に応じて或る安定点に落ち着く。これがいわゆるニューロコンピューティングであり、安定点における軸素電位、すなわち $S_i$ 、 $\overline{S_i}$  ( $i$ は自然数)の電位が演算結果である。

本実施例では増幅器数を6、シナプス数を30としてチップを作製(第11図ではその一部のみを図示)した。このとき必要とされた素子数は、増幅器1個当りFET5個、シナプス1個当り素子12個であり、合計390個であった。それに対して、前記第5図(b)示した従来例の可変コンダクタンス回路を用いた場合には、シナプス1個当りF

実施例5と同様にAuGe合金を用いたが、その代わりに、透明電極、例えば $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 等を用いれば、必ずしも窓を開けなくても光を入射させることが出来る。また、図において横方向あるいは斜方向から光を入射させれば、やはり、窓を開けなくても同様の効果が得られる。

(実施例7)

第11図は、本発明の多段可変コンダクタンス回路を用いたニューロチップの一実施例の回路構成図である。

第11図において、 $i n_1 \sim i n_8$ 、 $\overline{i n_1} \sim \overline{i n_8}$ は入力信号とその反転入力信号である。また、 $W_{ij}$  ( $i, j$ は自然数)で示される部分は所謂シナプスであり、それを構成する結合素子401(円形の記号で示す)が前記実施例3の多段階可変コンダクタンス回路である。ただし、この場合はコンダクタンスが8段階可変のものを用いている。なお、結合素子401では、可変コンダクタンス回路における制御電圧入力端子等は図示を省略しており、結合素子401の二つの端子は、第3図のF

ETが36素子必要となり、本実施例と同じ機能を実現するのに合計1116個のFETが必要となる。したがって本実施例によれば、素子数を大幅に減少することが出来、チップ面積を著しく減少することが出来る。さらに、第5図(b)の可変コンダクタンス回路を用いた場合には、各シナプスの結合素子のコンダクタンスを決めるのに、コンダクタンスが8段階可変の場合で1結合素子当り8本の入力線が必要であるが、本実施例では、コンダクタンス可変の段階数に拘りなく、1結合素子当り1本でよいので、配線本数も大幅に減少させることが出来る。

(実施例8)

第12図は、本発明の第8の実施例図であり、実施例3に示した回路に読み出し用FET501、判別回路502、参照入力503を加えた回路を示す。

第12図の回路において、読み出し用FET501は通常時オフであり、読み出し時にのみゲート電圧を加えることによって導通状態となる。また、判別回路502は、読み出し用トランジスタ501から

の信号、すなわち可変コンダクタンス素子となるFET2のゲート電位(多重微分負性抵抗素子1と負荷素子5との接続点の電位)と参照入力503とを比較し、その差と符号を信号として出力する。こうすることによって可変コンダクタンス素子2のコンダクタンスの大きさを非破壊的に読み出すことが可能になる。

この回路の使用例としては、例えば、実施例7のニューロチップの結合素子401として用いることが出来る。そしてこの回路を用いた場合には次のことが可能になる。

まず、第1にシナプス中の結合状態を読み出すことが可能となるので、一つのニューロチップの結合状態を他のチップに完全に複写することが可能となる。複写は次の様に行なわれる。まず、複写元のチップ上の或る一つのシナプスで参照入力503をゼロ電位として結合状態を読み出し、その信号を複写先のチップの対応するシナプスの参照信号とする。次に、その複写先のシナプスの制御電圧入力端子7に信号パルスを入力し、判別回路

502の出力がゼロになるようにする。これを全てのシナプスについて繰り返すことにより、チップ間で結合状態の複写が可能となる。

第2に、複写の場合と同様の方法を用いて、結合状態を他の媒体、例えば磁気記録材料等に記録することが出来る。或る一定の入力に対するニューロチップの出力を、本来要求される出力と一致させるようにシナプスの結合強度を変えることを学習と呼んでいるが、本実施例によれば学習結果を記録および複写することが出来る。

#### 〔発明の効果〕

本発明によれば、少ない素子数で安定に精度・再現性の良い多段階可変コンダクタンス回路を実現すること出来る。また、本発明の回路は容易に集積化出来る効果もあり、さらに精度良く結合状態を記録・複写可能なニューロチップを実現することが出来る。等の多くの優れた効果が得られる。

#### 4. 図面の簡単な説明

第1図は本発明の実施例1の回路図、第2図は本発明の実施例2の回路図、第3図は本発明の実

施例3の回路図、第4図(a)は本発明の実施例1、2、及び3の動作特性図、第4図(b)は実施例3の入出力特性図、第5図は従来例の回路図、第6図は本発明の実施例1、2、及び3の応用回路図、第7図は本発明の実施例4の断面構造図、第8図は本発明の実施例5の断面構造図、第9図は本発明の実施例6の一部の断面構造図、第10図(a)、(b)、(c)は各々本発明の実施例4、5、6の等価回路図、第11図は本発明の実施例7の回路構成図、第12図は本発明の実施例8の回路図である。

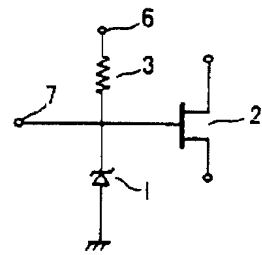
#### 〈符号の説明〉

- 1…多重微分負性抵抗素子
- 2…FET(可変コンダクタンス素子)
- 3…負荷抵抗
- 4…負荷FET
- 5…負荷FET
- 6…電源端子
- 7…制御電圧入力端子
- 8…MOSFET
- 9…入力コンダクタンス
- 10…演算増幅器
- 11…帰還抵抗
- 100…多重負性抵抗特性

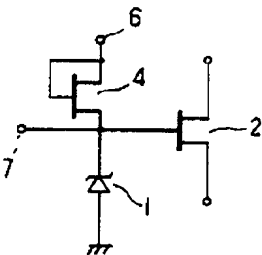
- 101…抵抗負荷特性直線
- 102~106…FET負荷特性曲線
- 110~112…抵抗負荷時の動作点
- 120~128…FET負荷時の動作点
- 201…GaAs基板
- 202…n型GaAsチャネル層
- 203…多重負性抵抗ダイオード
- 204…出力電極
- 205…ダイオード接地電極
- 206…ゲート電極
- 207…ドレイン電極
- 208…エミッタ層
- 209…ベース層
- 210…コレクタ層
- 211…電極取り出し層
- 212…エミッタ電極
- 213…ベース電極
- 214…コレクタ電極
- 215…ダイオード接地電極
- 301…電源端子
- 302…制御電圧入力端子
- 303…出力端子
- 304…接地端子
- 305…負荷FET
- 306…多重負性抵抗素子
- 307…負荷バイポーラトランジスタ
- 308…ホトトランジスタ

401…結合素子  
501…読み出し用トランジスタ  
502…判別回路  
503…参照入力

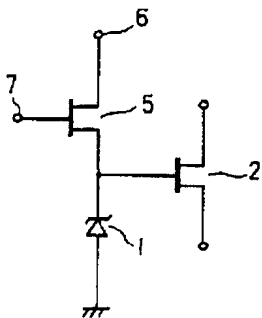
代理人弁理士 中村 純之助



第 1 図

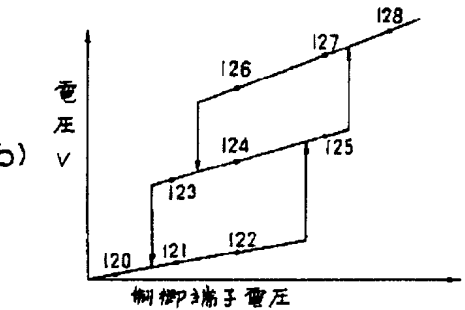
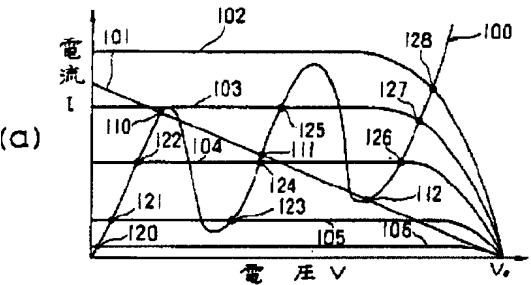


第 2 図

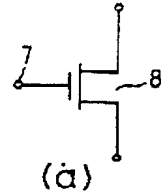


第 3 図

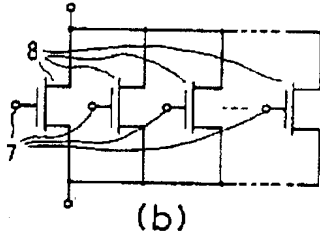
1…負性抵抗素子  
2…FET  
3…負荷抵抗  
4…負荷FET  
5…負荷FET  
6…電源端子  
7…制御電圧端子



第 4 図

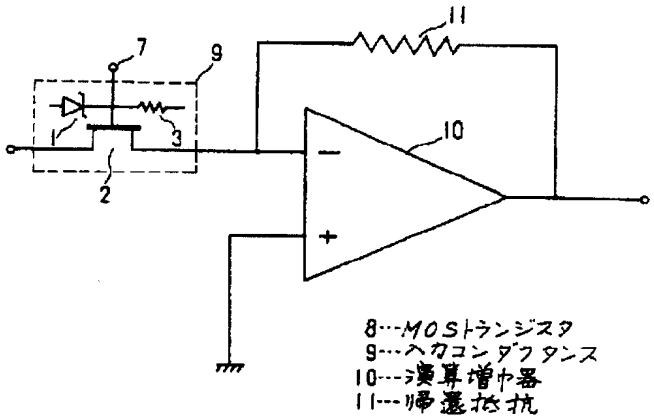


(a)



(b)

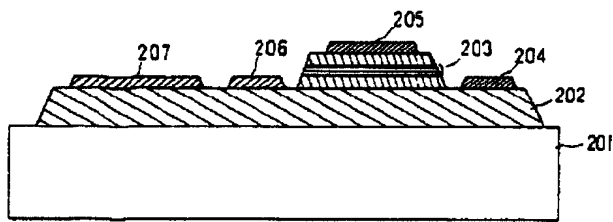
第 5 図



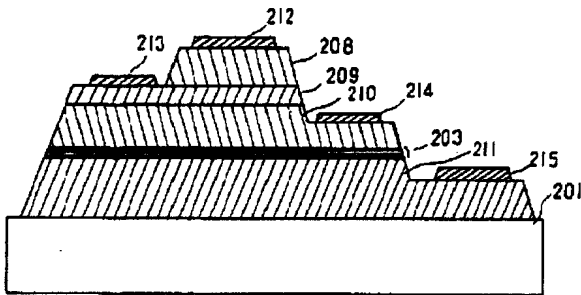
8…MOSトランジスタ  
9…ヘタコンダクタンス  
10…演算増幅器  
11…帰還抵抗

第 6 図

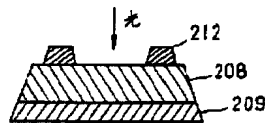




第 7 図

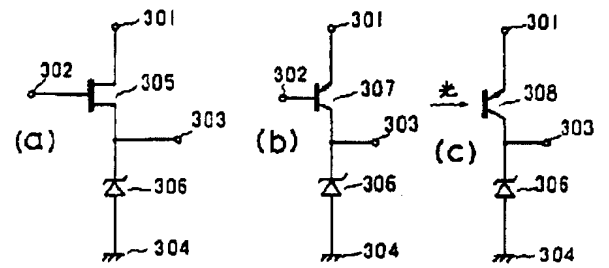


第 8 図

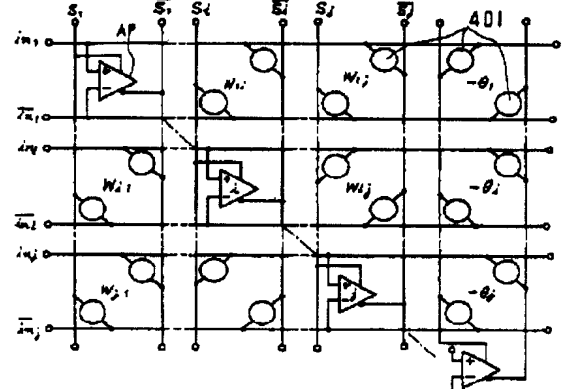


第 9 図

201...GaAs基板  
202...カドミウム  
203...多量陽極ダイオード  
204...出力電極  
205...ダイオード電極  
206...ゲート電極  
207...ドレイン電極



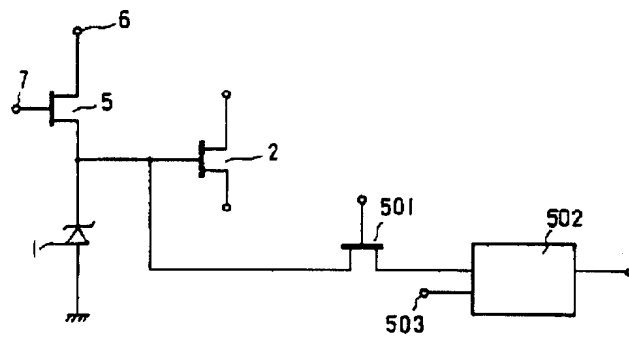
第 10 図



301...電圧端子  
302...入力端子  
303...出力端子  
304...接地端子  
305...制御FET

306...多量陽極抵抗素子  
307...バイポーラトランジスタ  
308...ホトトランジスタ  
401...結合素子

第 11 図



501...読み出し用トランジスタ  
502...判別回路  
503...参照入力

第 12 図

第1頁の続き

⑤Int. Cl.<sup>8</sup>

H 01 L 21/331  
27/10  
29/73  
H 03 H 11/52  
H 03 K 19/177

識別記号

4 5 1

庁内整理番号

8624-5F

7741-5 J

7328-5 J

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成8年(1996)12月24日

【公開番号】特開平2-113494

【公開日】平成2年(1990)4月25日

【年通号数】公開特許公報2-1135

【出願番号】特願昭63-263892

【国際特許分類第6版】

G06G 7/60  
 G11C 11/54  
 H01L 21/331  
 27/10 451  
 29/73

【F I】

G06G 7/60 7368-5E  
 G11C 11/54 9459 5L  
 H01L 27/10 451 7735-4M  
 29/72 7608-4M

## 手 続 補 正 書

平成 7 年 1 0 月 4 日

特許庁長官 殿



1. 事件の表示 昭和63年特許願第263892号

2. 補正をする者

事件との関係 特許出願人

名 称 (510)株式会社 日立製作所

3. 代 理 人

住 所 (〒100) 東京都千代田区丸の内一丁目5番1号  
新丸ノ内ビルディング3階44区 (電話3214-0502)

氏 名 (6835) 井堀士 中 村 純 之 助

4. 補正の対象 発明の名称、明細書の特許請求の範囲、  
発明の詳細な説明の各欄

5. 補正の内容 添付別紙のとおり

## 補正の内容

1. 発明の名称を「多段階可変コンダクタンス回路を用いた半導体装置およびニューロチップ」と補正する。

2. 特許請求の範囲を添付別紙のごとく補正する。

3. 明細書第3頁第14行～第17行を下記のごとく補正する。

「段階可変コンダクタンス回路を用いた半導体装置、およびそれを用いたニューロチップに関する。」

4. 明細書第5頁第9行の「第1請求項」を「請求項1」と補正する。

5. 明細書第6頁第6行の「第2請求項」を「請求項2」と補正する。

6. 明細書第6頁第13行の次に下記の文章を挿入する。

「また、請求項3に記載の発明においては、基板上に形成された増幅器を有しており、該増幅器は接地された第1の入力端子、第1の出力端子および該第1の出力端子と増幅抵抗を介して接続された第2の入力端子を有しており、該第2の入力端子は上記可変コンダクタンス素子と接続するように構成している。なお、上記の増幅器は、例えば第6図の核算増幅器10に相当する。」

また、請求項4に記載の発明においては、前記のごとき多段階可変コンダクタンス回路と、電界効果トランジスタ、バイポーラトランジスタ、ホトダイオード、発光ダイオードおよびレーザのうちの少なくとも一つとを同一基板上に集積化したものである。この半導体装置は、例えば後記第7図～第10図の実施例に相当する。」

7. 明細書第6頁第14行の「第3請求項」を「請求項5」と補正する。

8. 明細書第6頁第19行の次に下記の文章を挿入する。

「また、請求項6に記載の発明は、複数のシナプスに相当する手段をマトリックス状に配置したものである。これは例えば後記第11図の実施例に相当する。」

9. 明細書第6頁第20行～第6頁第16行を削除する。

別 紙

特許請求の範囲

1. 基板上に形成された多段階可変コンダクタンス回路を有し、  
該多段階可変コンダクタンス回路は、  
電流・電圧特性に2個所以上の微分負性抵抗特性を有し、かつ少なくとも9層のポテンシャル障壁層を有する共鳴トンネル構造で形成された多重微分負性抵抗素子、  
該多重微分負性抵抗素子に直列接続された負荷素子、  
および上記直列接続の接続点に接続された可変コンダクタンス素子、  
を有していることを特徴とする多段階可変コンダクタンス回路を用いた半導体装置、
2. 上記半導体装置は、さらに上記基板上の上記直列接続の接続点または上記負荷素子に配置された外部入力端子を有しており、  
該外部入力端子を通して信号を入力することにより、上記コンダクタンスをある値から他の値に切り換える、  
ことを特徴とする請求項1に記載の多段階可変コンダクタンス回路を用いた半導体装置、
3. 上記半導体装置は、さらに上記基板上に形成された増幅器を有しており、  
該増幅器は接地された第1の入力端子、第1の出力端子および該第1の出力端子と帰還抵抗を介して接続された第2の入力端子を有しており、  
該第2の入力端子は上記可変コンダクタンス素子と接続している、  
ことを特徴とする請求項1または請求項2に記載の多段階可変コンダクタンス回路を用いた半導体装置、
4. 上記半導体装置は、さらに上記基板上に形成された電界効果トランジスタ、バイポーラトランジスタ、ホトダイオード、発光ダイオードおよびレーザのうちの少なくとも1つを有している、  
ことを特徴とする請求項1乃至請求項3の何れか1項に記載の多段階可変コンダクタンス回路を用いた半導体装置、
5. 請求項1または請求項2に記載の多段階可変コンダクタンス回路を用いた

半導体装置で構成されており、かつ、ニューロン間の入出力インターフェースとして働くシナプスに相当する手段を複数備えている、

ことを特徴とするニューロチップ、

5. 上記複数個のシナプスに相当する手段は、マトリックス状に配置されている、

ことを特徴とする請求項6に記載のニューロチップ、